

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097652

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H01L 27/115  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 09-255048

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.09.1997

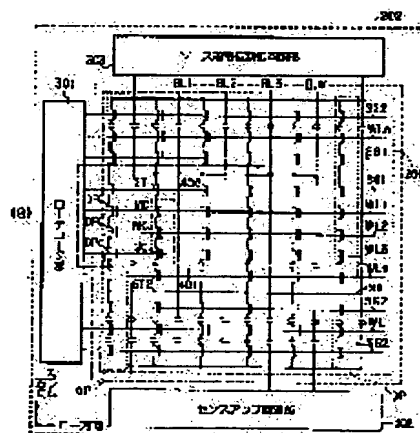
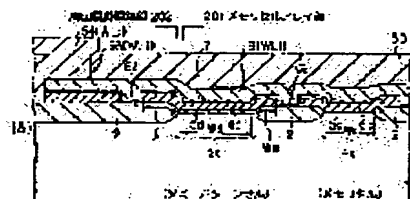
(72)Inventor : SHIMIZU KAZUHIRO  
SATO SHINJI  
ARITOME SEIICHI

## (54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a nonvolatile semiconductor memory, wherein insulation property between a control gate and a board is restrained from lowering and characteristics of a memory cell is hardly damaged, even if a pattern of a cell in the outermost circumference of a memory cell array part and a pattern of a cell in an inner side thereof are different from each other.

**SOLUTION:** Non-volatile semiconductor memory has memory cells DPC, MC comprising a memory cell array part 201 set in a silicon board 1, floating gates 6s, 6c arranged in the array part 201 into a matrix form and couples via a first capacity C1 of which dielectric is first gate insulation films 5d, 5c in the board 1 and a control gate 8 (WL1) coupled through a second capacity C2 of which dielectric is set as a second gate insulation film 7 in the floating gates 6d, 6c, and a second capacity C2 of the memory cell DPC arranged in an outermost circumference of the array part 201, which differs from a second capacity C2 of the memory cell MC arranged in the inner side of the memory cell DPC. The first gate insulation film 5d of the memory cell DPC arranged in an outermost circumference is made thicker than the first gate insulation film 5c of the memory cell MC arranged inside.



## LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3519583

[Date of registration] 06.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97652

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/115  
21/8247  
29/788  
29/792H 0 1 L 27/10 4 3 4  
29/78 3 7 1

審査請求 未請求 請求項の数13 O L (全 21 頁)

(21) 出願番号

特願平9-255048

(22) 出願日

平成9年(1997) 9月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 清水 和裕

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 佐藤 信司

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

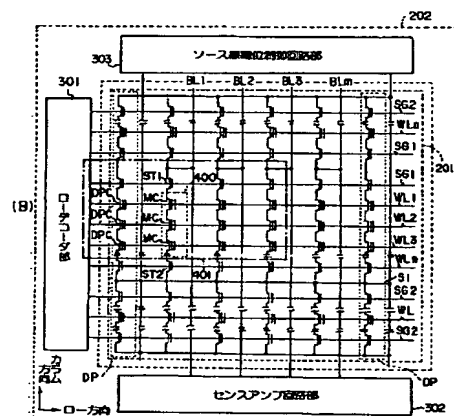
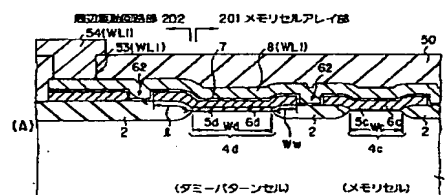
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

## (57) 【要約】

【課題】 メモリセルアレイ部の最外周のセルのパターンと、その内側のセルのパターンとが異なっても、制御ゲートと基板との絶縁特性の低下を抑制でき、メモリセルの特性が損なわれ難くなる不揮発性半導体記憶装置を提供すること。

【解決手段】 シリコン基板(1) に設定されたメモリセルアレイ部(201) と、このアレイ部(201) にマトリクス状に配置され、基板(1) に第1のゲート絶縁膜(5d, 5c)を誘電体とする第1容量C1を介して結合する浮遊ゲート(6d, 6c)と、この浮遊ゲート(6d, 6c)に第2のゲート絶縁膜(7)を誘電体とする第2容量C2を介して結合する制御ゲート(8(WL1))とを含むメモリセル(DPC, MC)を有し、アレイ部(201) の最外周に配置されたメモリセル(DPC) の第2容量C2が、このメモリセル(DPC) よりも内側に配置されたメモリセル(MC) の第2容量C2と異なっている不揮発性半導体記憶装置であって、最外周に配置されたメモリセル(DPC) の第1のゲート絶縁膜(5d)を、内側に配置されたメモリセル(MC) の第1のゲート絶縁膜(5c)より厚くする。



## 【特許請求の範囲】

【請求項1】 半導体基板に第1のゲート絶縁膜を誘電体とする第1容量C1を介して結合する電荷蓄積層と、この電荷蓄積層に第2のゲート絶縁膜を誘電体とする第2容量C2を介して結合するゲートとを含むメモリセルがマトリクス状に配置されたメモリセルアレイ部を有し、

前記メモリセルアレイ部の最外周に配置された第1のメモリセルの第2容量C2が、この第1のメモリセルよりも前記メモリセルアレイ部の中央の部分に配置された第2のメモリセルの第2容量C2と異なっている不揮発性半導体記憶装置であって、

前記第1のメモリセルの第1のゲート絶縁膜が、前記第2のメモリセルの第1のゲート絶縁膜よりも厚いことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記メモリセルは、前記メモリセルアレイ部に形成された素子分離領域により区画され、互いに略並行した線状の活性領域に配置され、

前記第1のメモリセルと前記第2のメモリセルとは、前記線状の活性領域に交差する方向に延びるワード線をゲートとして共有し、

前記第1のメモリセルの第2容量C2が、前記第2のメモリセルの第2容量C2よりも大きい場合、前記第1のメモリセルが配置される活性領域の幅は、前記第2のメモリセルが配置される活性領域の幅よりも広いことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記第1のメモリセルの第1のゲート絶縁膜に印加される電界E1と、前記第2のメモリセルの第1のゲート絶縁膜に印加される電界E2との比の値

( $E1/E2$ )が1以下に設定されていることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記メモリセルアレイ部に隣接して、このメモリセルアレイ部に対する周辺駆動回路が形成された周辺駆動回路部が設けられ、

前記メモリセルアレイ部に形成された素子分離領域、および前記周辺駆動回路部に形成された素子分離領域が各々、

(a) LOCOS型、LOCOS型、

(b) トレンチ型、トレンチ型、

(c) LOCOS型、トレンチ型、

上記(a)～(c)のいずれかの組み合わせから選ばれていることを特徴とする請求項1乃至請求項4いずれか一項に記載の不揮発性半導体記憶装置。

【請求項5】 前記トレンチ型の素子分離領域は、前記電荷蓄積層に対しトレンチを自己整合的に形成した自己整合トレンチ型であることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 前記周辺駆動回路部に形成された素子分離領域上に、前記周辺駆動回路と前記ワード線との電気的接点を有し、

前記電気的接点が、前記ワード線、前記第2のゲート絶縁膜、および前記第1、第2のメモリセルの電荷蓄積層と同じ導電物からなる導電層の積層構造部に形成され、前記導電層と前記第1のメモリセルの電荷蓄積層との離隔距離が、前記メモリセルアレイ部内における電荷蓄積層どうしの離隔距離以下であることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項7】 前記メモリセルアレイ部には、選択ゲートトランジスタが含まれ、この選択ゲートトランジスタのゲート絶縁膜の厚さが、前記第1のメモリセルの第1のゲート絶縁膜の厚さと実質的に等しいことを特徴とする請求項1乃至請求項6いずれか一項に記載の不揮発性半導体記憶装置。

【請求項8】 前記周辺駆動回路部には、電源電圧よりも高い電圧をスイッチングするトランジスタが含まれ、このトランジスタのゲート絶縁膜の厚さが、前記第1のメモリセルの第1のゲート絶縁膜の厚さと実質的に等しいことを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項9】 前記周辺駆動回路部には、電源電圧をスイッチングするトランジスタが含まれ、このトランジスタのゲート絶縁膜の厚さが、前記第1のメモリセルの第1のゲート絶縁膜の厚さと実質的に等しいことを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項10】 前記第1のメモリセルは、ビット線との電気的接点を持たないダミーパターンセルであることを特徴とする請求項1乃至請求項9いずれか一項に記載の不揮発性半導体記憶装置。

【請求項11】 半導体基板内にメモリセルアレイ部、このメモリアレイ部内に互いに略並行する線状の活性領域をそれぞれ区画する素子分離領域を形成する工程と、前記活性領域上に、第1の絶縁膜を形成する工程と、少なくとも前記メモリセルアレイ部の最外周に位置する前記活性領域を除いた前記活性領域上から前記第1の絶縁膜を除去する工程と、

前記第1の絶縁膜が除去された部分に、前記第1の絶縁膜よりも薄い第2の絶縁膜を形成する工程と、

少なくとも前記素子分離領域上に前記活性領域に沿った方向に延びたスリットを有し、前記第1の絶縁膜および前記第2の絶縁膜を介して、前記活性領域に対向する第1の導電膜を形成する工程と、

前記第1の導電膜上に、第3の絶縁膜を形成する工程と、

前記第3の絶縁膜を介して、前記第1の導電膜に対向する第2の導電膜を形成する工程と、

前記第2の導電膜、前記第3の絶縁膜、前記第1の導電膜をパターンニングし、前記第2の導電膜からなる制御ゲート、前記第1の導電膜からなる電荷蓄積層を含む積層ゲート構造を有するメモリセルを形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方

法。

【請求項 12】 前記第 1 の絶縁膜は、前記メモリセルアレイ部の最外周に位置する前記活性領域と、前記活性領域のうち選択トランジスタが形成される部分とを除いた前記活性領域から除去されることを特徴とする請求項 11 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 13】 前記第 1 の導電膜には、前記メモリセルアレイ部を囲んで環状に形成された環状スリットが形成されていることを特徴とする請求項 11 および請求項 12 いずれかに記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置のメモリセルのゲート絶縁膜の高信頼性化に関する。

【0002】

【従来の技術】EEPROMは、電氣的にデータの書き換えが可能な不揮発性メモリの一種であり、データを記憶するためのメモリセルが集積されたメモリセルアレイを有している。EEPROMにおけるメモリセルは、浮遊ゲートと制御ゲートとを積層したFETMOS型トランジスタが広く知られている。

【0003】図17(A)は、FETMOS型のメモリセルが集積されたメモリセルアレイの平面図、図17(B)は、図17(A)中のB-B線に沿う断面図である。

【0004】図17(A)、(B)に示すように、p型シリコン基板(あるいはp型ウェル)101には、素子分離領域102が形成され、活性領域104が分離されている。絶縁膜102の下には、基板101よりも不純物濃度が高いp+型層103が形成されている。p+型層103は、チャンネルストップである。活性領域104には、トンネル電流が流れ得る薄い第1のゲート絶縁膜105が形成され、この上には、浮遊ゲート106が形成されている。浮遊ゲート106の上には、第2のゲート絶縁膜107が形成され、この上には、制御ゲート108が形成されている。これにより、メモリセルのゲートは、浮遊ゲート106と制御ゲート108とが積層された積層ゲート構造となっている。浮遊ゲート106と制御ゲート108とは同じマスクを用い、連続してエッチングされることにより形成され、ロー方向に沿った積層ゲート構造のエッジは揃っている。ソース領域109S、ドレイン領域109Dは、積層ゲート構造と、素子分離領域102とをそれぞれマスクに用い、活性領域104内にn型不純物をイオン注入することにより形成されている。浮遊ゲート106の端部は、素子分離領域102の上に配置され、一般的にウィング110と呼ばれる部分を構成している。ウィング110は、制御ゲート108と浮遊ゲート106とが互いに対向する対向面

積を広げ、制御ゲート108と浮遊ゲート106との間の容量を高める。

【0005】参照符号150は層間絶縁膜であり、この層間絶縁膜150の上には、ビット線151が形成されている。ビット151は、層間絶縁膜150に形成されたビット線コンタクト孔152を介してドレイン領域109Dに接続されている。

【0006】なお、図17(A)では、ビット線コンタクト孔152の位置のみを示し、層間絶縁膜150、およびビット線151はそれぞれ省略されている。

【0007】図17(A)、(B)に示す素子分離領域102としては、基板101の表面の選ばれた部分を熱酸化して形成したLOCOS型が、広く用いられている。LOCOS型は、基板101の活性領域が形成される部分を、窒化シリコン膜(Si<sub>3</sub>N<sub>4</sub>)で覆った後、熱酸化する。窒化シリコン膜は酸化の障壁となるので、基板101の素子分離領域を形成する部分に、厚い熱酸化膜を局部的に形成できる。

【0008】近年では、素子分離領域102の寸法を、LOCOS型よりも微細にできる技術として、基板101の素子分離領域を形成する部分にトレンチを形成し、このトレンチを絶縁物で埋め込むという、トレンチ素子分離法も良く知られるようになってきた。

【0009】図18は、トレンチ素子分離法を用いて形成されたメモリセルの断面図である。なお、図18に示す断面は、例えば図17(A)中のB-B線に沿う部分に対応する。図18において、図17(B)と同一の部分には同一の参照符号を付す。

【0010】図18に示すように、トレンチ型では、基板101の素子分離領域が形成される部分にトレンチ111が形成され、このトレンチ111の内部は、絶縁物112により埋め込まれている。

【0011】このようなトレンチ型では、基板101内に深く素子分離領域を形成できるので、実効的な素子分離間隔は、LOCOS型よりも広がる。このため、素子分離幅が同一であった場合には、LOCOS型に比べて素子分離能力が大幅に向上する。

【0012】さらに、EEPROMのメモリセルアレイ内の素子分離においては、そのロー方向の分離間隔を、トレンチ型よりもさらに微細にできる自己整合トレンチ素子分離法がある。

【0013】図19は、自己整合トレンチ素子分離法を用いて形成されたメモリセルの断面図である。なお、図19に示す断面は、例えば図17(A)中のB-B線に沿う部分に対応する。図19において、図17(B)と同一の部分には同一の参照符号を付す。

【0014】図19に示すように、自己整合トレンチ型では、ウィング110が活性領域104とトレンチ111との境界上に、基板101に対して垂直な方向に形成される。このため、ウィング110をロー方向に広げ

る、LOCOS型やトレンチ型に比べて、集積密度を向上させることができる。

【0015】図20は、EEPROMの基本構成を示すブロック図である。なお、図20では、メモリセルアレイ部201周辺に存在する代表的な回路ブロックのみを示している。

【0016】一般に、EEPROMは、データを記憶するためのメモリセルアレイ部201と、このアレイ部201を駆動し、その記憶機能を活性にする周辺駆動回路部202とから構成される。回路部202は、ワード線WLに接続され、これらワード線WLを選択するローデコーダ301、ビット線BLに接続され、読み出しデータ(READ DATA)や書き込みデータ(PROGRAM DATA)を増幅してラッチするセンスアンプ回路部302、センスアンプ回路部302内のビット線BLに接続され、これらビット線を選択するカラムデコーダ部303、および所望の内部電圧を作る昇圧回路部304などにより構成されている。

【0017】アレイ部201および回路部202の素子分離は双方とも、先に示した3つの素子分離技術のいずれかを用いて行うことも可能であるし、双方でそれぞれ異なった素子分離技術を使うこともできる。

【0018】特に微細化が要求されるアレイ部201では、最小寸法が0.4ミクロンを超えてくると、トレンチ素子分離や自己整合トレンチ素子分離が非常に有効である。

【0019】これに対して、回路部202では、アレイ部201に比べてトランジスタや、素子分離の間隔が大きい。これはトランジスタの構造上、コンタクトあるいはゲート長等がメモリセルMCに比べて大きいこと、およびpn接合部に書き込み電圧(例えば20V)が印加されることなどが理由である。このようなプロセスマージンやインテグレーションの都合により、回路部202においては、トレンチ素子分離よりもLOCOS素子分離のほうが適している場合がある。このような場合には、アレイ部201にはトレンチ素子分離や自己整合トレンチ素子分離を用い、回路部202にはLOCOS素子分離を用いる。

【0020】図21は、NAND型EEPROMにおけるアレイ部201と周辺駆動回路部202、特にローデコーダ部301との接続部分を簡略的に示した図である。

【0021】図21に示すように、ワード線WL(WL1~WL<sub>n</sub>)、および選択ゲート線SG(SG1、SG2)は各々、ローデコーダ部301に含まれる高耐圧型トランジスタHVT<sub>r</sub>のソースに接続される。書き込みモードのとき、トランジスタHVT<sub>r</sub>のゲートには、書き込み電圧+トランジスタHVT<sub>r</sub>のしきい値電圧以上の電圧が印加され、トランジスタHVT<sub>r</sub>は“オン”される。これにより、書き込み選択されたワード線には、

書き込み電圧(例えば20V)が、トランジスタHVT<sub>r</sub>のドレイン~ソースを介して転送される。図中、参照符号153、155はそれぞれコンタクト孔である。また、参照符号154は、コンタクト孔153、155を介して、トランジスタHVT<sub>r</sub>のソース領域とワード線WL、あるいは選択ゲート線SGとを互いに接続する金属配線である。

【0022】図22は、図21に示す部分の断面図である。なお、図22は、アレイ部201と、ローデコーダ部301、即ち、回路部202との双方に、LOCOS素子分離を用いた例を示す。

【0023】図22に示すように、制御ゲート108は、アレイ部201内の活性領域104の上から、周辺駆動回路部202内の素子分離絶縁膜102の上にかけて延長されて形成されている。この部分において、制御ゲート108は、コンタクト孔153を介して金属配線154に接続され、図示せぬローデコーダ部301のトランジスタHVT<sub>r</sub>に接続される。

【0024】また、アレイ部201内の素子分離領域102は、制御ゲート(ワード線)108に交差する方向に延びた、細い線状パターンが周期性を持って繰り返される。

【0025】これに対し、回路部202内の素子分離領域102には、細い線状パターンが繰り返されるような周期性はない。このため、アレイ部201と回路部202との境界にあたる素子分離領域102上で、パターンの周期性が乱れてしまう。これは、リソグラフィ時に、アレイ部201の最外周と、その内部とで、例えば浮遊ゲート106を同一寸法に揃った形に加工することを難しくする。この周期性の乱れを打ち消すために、アレイ部201の最外周には、ダミーパターンが、例えば数本にわたって設けられる。しかし、アレイ部201最外周では、回路部202の素子分離領域102に接するため、図22に示すように、浮遊ゲート106のパターンが、アレイ部201の内部に存在する浮遊ゲート106のパターンと異なってくる。

【0026】

【発明が解決しようとする課題】上記したように、最外周の浮遊ゲート106のパターンは、メモリセルアレイ部201内部のパターンとは異なる。このため、浮遊ゲート106と制御ゲート108との間の容量が、最外周に存在するダミーパターン内のセルと、その内側に存在し、実際にセルとして使用される正規のパターン内のセルとで互いに異なってくる。

【0027】図23(A)はメモリセルの等価回路図、図23(B)はダミーパターンセルの寸法、および正規のセル(以下メモリセル)の寸法を説明するための図である。

【0028】図23(A)に示すように、メモリセルは、基板101と制御ゲート108との間に、キャパシ

タC1とキャパシタC2とを直列に接続した回路に置き換えることができる。キャパシタC1とキャパシタC2とで共有される電極が浮遊ゲート106に相当する。このような等価回路においては、キャパシタC1が基板101と浮遊ゲート106との間の容量、キャパシタC2

05 ヤパシタC2の誘電体が浮遊ゲート106と制御ゲート108との間の第2のゲート絶縁膜107となる。

【0029】図23(A)に示す制御ゲート108に電位VCGが印加されたとき、浮遊ゲート106の電位VFGは、次の式により表される。

【0030】

【数1】

$$VFG = \frac{C2}{C1+C2} \cdot VCG \quad \dots (1)$$

【0031】また、キャパシタC1の誘電体の膜厚をTとしたとき、この誘電体に印加される電界Eは、次の式により表される。

【0032】

【数2】

$$E = \frac{VFG}{T} \quad \dots (2)$$

【0033】(1)式より、ダミーパターンセル、メモリセルの双方の制御ゲート108に同じ電位VCGが印加されたとしても、容量C2が異なれば、それらの浮遊ゲート106の電位VFGは互いに異なってくることが理解

20 される。4の幅、Wwはウィング110の幅、1は浮遊ゲート106が周辺駆動回路部202内の素子分離領域102に延長される長さ、Lはダミーパターンセル、メモリセルそれぞれのチャネル長である。

【0034】さらに(2)式より、ダミーパターンセルの浮遊ゲート106の電位とメモリセルの浮遊ゲート106の電位が異なると、キャパシタC1の誘電体、即ち、第1のゲート絶縁膜105に印加される電界は、それ

25 ぞれ異なってくることが分かる。【0037】ここで、第1のゲート絶縁膜105、第2のゲート絶縁膜107の比誘電率をそれぞれε1、ε2、ダミーパターンセル、メモリセルの第1のゲート絶縁膜105の膜厚をそれぞれTd、Tc、ダミーパターンセル、メモリセルそれぞれの第2のゲート絶縁膜107の膜厚をT2とする(なお、ε0は真空の誘電率である。)

【0035】これを、図23(B)を参照しながら具体的に説明する。

【0036】図23(B)において、Wd、Wcはそれぞれ、ダミーパターンセル、メモリセルの活性領域10

30 1は、【0038】以上の条件において、メモリセルの容量C1は、

【数3】

$$C1 = \frac{\epsilon 1 \cdot \epsilon 0 \cdot Wc \cdot L}{Tc} \quad \dots (3)$$

【0039】メモリセルの容量C2は、【数4】

$$C2 = \frac{\epsilon 2 \cdot \epsilon 0 \cdot (Wc + 2Ww) \cdot L}{T2} \quad \dots (4)$$

【0040】(1)式、(3)式、(4)式より、制御ゲート108に電位VCGが印加されたとき、メモリセル

の浮遊ゲート106の電位VFGは、

【数5】

$$\begin{aligned} VFG &= \frac{\frac{\epsilon 1 \cdot \epsilon 0 \cdot Wc \cdot L}{Tc} + \frac{\epsilon 2 \cdot \epsilon 0 \cdot (Wc + 2Ww) \cdot L}{T2}}{1 + \frac{\epsilon 1 \cdot Wc}{\epsilon 2 (Wc + 2Ww)}} \cdot VCG \\ &= \frac{VCG}{1 + \frac{\epsilon 1 \cdot Wc}{\epsilon 2 (Wc + 2Ww)}} \cdot \frac{T2}{Tc} \quad \dots (5) \end{aligned}$$

【0041】また、ダミーパターンセルの容量C1は、【数6】

$$C1 = \frac{\epsilon_1 \cdot \epsilon_0 \cdot Wd \cdot L}{Td} \quad \dots (6)$$

【0042】ダミーパターンセルの容量C2は、【数7】

$$C2 = \frac{\epsilon_2 \cdot \epsilon_0 \cdot (Wd + \ell + Ww) \cdot L}{T2} \quad \dots (7)$$

【0043】(1)式、(6)式、(7)式より、制御セルの浮遊ゲート106の電位VFGは、ゲート108に電位VCGが印加されたとき、ダミーパターンの浮遊ゲート106の電位VFGは、【数8】

$$\begin{aligned} VFG &= \frac{\epsilon_1 \cdot \epsilon_0 \cdot Wd \cdot L}{Td} + \frac{\epsilon_2 \cdot \epsilon_0 \cdot (Wd + \ell + Ww) \cdot L}{T2} \cdot VCG \\ &= \frac{VCG}{1 + \frac{\epsilon_1 \cdot Wd}{\epsilon_2 (Wd + Ww + \ell)} \cdot \frac{T2}{Td}} \quad \dots (8) \end{aligned}$$

【0044】さらに(2)式、(5)式より、メモリセルの第1のゲート絶縁膜105に印加される電界Ecは、【数9】

$$\begin{aligned} Ec &= \frac{VFG}{Tc} = \frac{\frac{VCG}{1 + \frac{\epsilon_1 \cdot Wc}{\epsilon_2 (Wc + 2Ww)} \cdot \frac{T2}{Tc}}}{Tc} \\ &= \frac{VCG}{Tc + \frac{\epsilon_1 \cdot Wc}{\epsilon_2 (Wc + 2Ww)} \cdot T2} \quad \dots (9) \end{aligned}$$

【0045】さらに(2)式、(8)式より、ダミーパターンの第1のゲート絶縁膜105に印加される電界Edは、【数10】

$$\begin{aligned} Ed &= \frac{VFG}{Td} = \frac{\frac{VCG}{1 + \frac{\epsilon_1 \cdot Wd}{\epsilon_2 (Wd + Ww + \ell)} \cdot \frac{T2}{Td}}}{Td} \\ &= \frac{VCG}{Td + \frac{\epsilon_1 \cdot Wd}{\epsilon_2 (Wd + Ww + \ell)} \cdot T2} \quad \dots (10) \end{aligned}$$

【0046】(9)式、(10)式より、ダミーパターンセルにおいて第1のゲート絶縁膜105に印加される電界Edは、メモリセルでの電界Ecと異なる場合が生ずることが分かる。

【0047】即ち、ダミーパターンセルの浮遊ゲート106が回路部202内の素子分離領域102に延長され

る部分が広い場合には、ダミーパターンセルにおいて、その制御ゲート108とその浮遊ゲート106とのカップリングが高くなり、電界E<sub>d</sub>は、電界E<sub>c</sub>に比べて強くなる。逆に、狭い場合には、電界E<sub>d</sub>が弱まってくる分、第2のゲート絶縁膜107に印加される電界が強ま

$$E_d / E_c = \frac{T_c + \frac{\epsilon_1 \cdot W_c}{\epsilon_2 (W_c + 2W_w)} \cdot T_2}{T_d + \frac{\epsilon_1 \cdot W_d}{\epsilon_2 (W_d + W_w + \ell)} \cdot T_2} \quad \dots (11)$$

【0049】(11)式より、電界E<sub>d</sub>を、電界E<sub>c</sub>と同じにするには、ダミーパターンセル、メモリセルとも同一の寸法で形成すれば良い。しかし、上述の通り、リソグラフィの事情により、最外周のパターンと内側のパターンとを、同一の寸法で形成することは困難であり、ダミーパターンセルの浮遊ゲート106の寸法は、メモリセルの浮遊ゲート106の寸法よりも大きくなってしま

【0050】第1のゲート絶縁膜105は、書き込み時や消去時、電子が通過するところであり、その膜厚などは、メモリセルに合わせて最適化される。このため、電界E<sub>c</sub>よりも高い電界E<sub>d</sub>が印加されるダミーパターンセルの第1のゲート絶縁膜105では、例えば耐圧等に関する信頼性が、メモリセルの第1のゲート絶縁膜105よりも低下することになる。ダミーパターンセルの第1のゲート絶縁膜105の絶縁特性が低下した場合には、第2のゲート絶縁膜107に印加される電界が大きくなり、第2のゲート絶縁膜107の絶縁特性も低下し

【0051】このような最外周の浮遊ゲート106のパターンが異なってくる事情は、図24に示すように、アレイ部201、回路部202の双方に、トレンチ素子分離を用いても、あるいは図25に示すように、アレイ部201にトレンチ素子分離、周辺駆動回路部202にLOCOS素子分離を用いても、同様である。

【0052】また、図26に示すように、アレイ部201、周辺駆動回路部202の双方に、自己整合トレンチ素子分離を用いた場合には、最外周のダミーパターンセルの容量C<sub>2</sub>が、メモリセルの容量C<sub>2</sub>よりも小さくなる。このため、ダミーパターンセルの第2のゲート絶縁膜107に印加される電界が大きくなって、この第2のゲート絶縁膜107の絶縁特性が低下し、第1のゲート絶縁膜105に印加される電界が増加して、第1のゲート絶縁膜105の絶縁特性が低下する。このようにし

てくる。

【0048】また、(9)式、(10)式より、電界E<sub>c</sub>と電界E<sub>d</sub>との比は、

【数11】

て、上記同様に、メモリセルの特性が損なわれるようになる。

【0053】また、図27に示すように、アレイ部201に自己整合トレンチ素子分離、周辺駆動回路202にLOCOS型の素子分離を用いた場合には、最外周のダミーパターンセルの容量C<sub>2</sub>が、メモリセルの容量C<sub>2</sub>よりも大きくなるので、第1のゲート絶縁膜105の絶縁特性が低下し、第2のゲート絶縁膜107に印加される電界が増加して、第2のゲート絶縁膜107の絶縁特性が低下する、という順序で、メモリセルの特性が損な

【0054】上記のように従来の不揮発性半導体記憶装置では、アレイ部の最外周のセルのパターンと、それよりも内側のセルのパターンとが異なっているために、制御ゲートと基板との絶縁特性が低下し、この結果、メモリセルの特性が損なわれる、という事情があった。

【0055】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、メモリアレイ部の最外周のセルのパターンと、最外周のセルのパターンよりも内側に存在するセルのパターンとが異なっているも、制御ゲートと基板との絶縁特性の低下を抑制でき、メモリセルの特性が損なわれ難くなる不揮発性半導体記憶装置およびその製造方法を提供することにある。

【0056】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、半導体基板に第1のゲート絶縁膜を誘電体とする第1容量C<sub>1</sub>を介して結合する電荷蓄積層と、この電荷蓄積層に第2のゲート絶縁膜を誘電体とする第2容量C<sub>2</sub>を介して結合するゲートとを含むメモリセルがマトリクス状に配置されたメモリセルアレイ部を有し、前記メモリセルアレイ部の最外周に配置された第1のメモリセルの第2容量C<sub>2</sub>が、この第1のメモリセルよりも前記メモリセルアレイ部の中央の部分に配置された第2のメモリセルの第2容量C<sub>2</sub>と異なっている不揮発性半導体記憶装置であって、前記第1のメモリセルの第1のゲート絶縁膜が、前記第2のメモリセルの第1のゲート絶縁膜よりも厚いことを特徴としている。

【0057】また、前記メモリセルは、前記メモリセルアレイ部に形成された素子分離領域により区画され、互



いに略並行した線状の活性領域に配置され、前記第1のメモリセルと前記第2のメモリセルとは、前記線状の活性領域に交差する方向に延びるワード線をゲートとして共有し、前記第1のメモリセルの第2容量C2が、前記第2のメモリセルの第2容量C2よりも大きい場合、前記第1のメモリセルが配置される活性領域の幅は、前記第2のメモリセルが配置される活性領域の幅よりも広いことを特徴としている。

【0058】また、前記第1のメモリセルの第1のゲート絶縁膜に印加される電界E1と、前記第2のメモリセルの第1のゲート絶縁膜に印加される電界E2との比の値( $E1/E2$ )が1以下に設定されていることを特徴としている。

【0059】また、前記メモリセルアレイ部に隣接して、このメモリセルアレイ部に対する周辺駆動回路が形成される周辺駆動回路部が設けられ、前記メモリセルアレイ部に形成された素子分離領域、および前記周辺駆動回路部に形成された素子分離領域が各々、(a)LOCOS型、LOCOS型、(b)トレンチ型、トレンチ型、(c)LOCOS型、トレンチ型のいずれかの組み合わせから選ばれていることを特徴としている。

【0060】また、前記トレンチ型の素子分離領域は、前記電荷蓄積層に対しトレンチを自己整合的に形成した自己整合トレンチ型であることを特徴としている。

【0061】また、前記周辺駆動回路部に形成された素子分離領域上に、周辺駆動回路と前記ワード線との電気的接点を有し、前記電気的接点が、前記ワード線、前記第2のゲート絶縁膜、および前記第1、第2のメモリセルの電荷蓄積層と同じ導電物からなる導電層の積層構造部に形成され、前記導電層と前記第1のメモリセルの電荷蓄積層との離隔距離が、前記メモリセルアレイ部内における電荷蓄積層どうしの離隔距離以下であることを特徴としている。

【0062】また、前記メモリセルアレイ部には、選択ゲートトランジスタが含まれ、この選択ゲートトランジスタのゲート絶縁膜の厚さが、前記第1のメモリセルの第1のゲート絶縁膜の厚さと実質的に等しいことを特徴としている。

【0063】また、前記周辺駆動回路部には、電源電圧よりも高い電圧をスイッチングするトランジスタが含まれ、このトランジスタのゲート絶縁膜の厚さが、前記第1のメモリセルの第1のゲート絶縁膜の厚さと実質的に等しいことを特徴としている。

【0064】また、前記周辺駆動回路部には、電源電圧をスイッチングするトランジスタが含まれ、このトランジスタのゲート絶縁膜の厚さが、前記第1のメモリセルの第1のゲート絶縁膜の厚さと実質的に等しいことを特徴としている。

【0065】また、前記第1のメモリセルは、ビット線との電気的接点を持たないダミーパターンセルであるこ

とを特徴としている。

【0066】また、この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板内にメモリセルアレイ部と、このメモリアレイ部内に互いに略並行する線状の活性領域とをそれぞれ区画する素子分離領域を形成し、前記活性領域上に、第1の絶縁膜を形成し、少なくとも前記メモリセルアレイ部の最外周に位置する前記活性領域を除いた前記活性領域上から前記第1の絶縁膜を除去し、前記第1の絶縁膜が除去された部分に、前記第1の絶縁膜よりも薄い第2の絶縁膜を形成し、少なくとも前記素子分離領域上に前記活性領域に沿った方向に延びたスリットを有し、前記第1の絶縁膜および前記第2の絶縁膜を介して、前記活性領域に対向する第1の導電膜を形成し、前記第1の導電膜上に、第3の絶縁膜を形成し、前記第3の絶縁膜を介して、前記第1の導電膜に対向する第2の導電膜を形成し、前記第2の導電膜、前記第3の絶縁膜、前記第1の導電膜をパターンニングし、前記第2の導電膜からなる制御ゲート、前記第1の導電膜からなる電荷蓄積層を含む積層ゲート構造を有するメモリセルを形成することを特徴としている。

【0067】また、前記第1の絶縁膜は、前記メモリセルアレイ部の最外周に位置する前記活性領域と、前記活性領域のうち選択トランジスタが形成される部分とを除いた前記活性領域から除去されることを特徴としている。

【0068】また、前記第1の導電膜には、前記メモリセルアレイ部を囲んで環状に形成された環状スリットが形成されていることを特徴としている。

【0069】

【発明の実施の形態】以下、この発明の実施の形態を、NAND型EEPROMを例にとり説明する。

【0070】図2(B)は、この発明の第1の実施形態に係るNAND型EEPROMの一回路構成例を示す図である。

【0071】まず、図2(B)に示すように、チップには、メモリセルMCが形成されたメモリセルアレイ部201が設けられている。その周囲は、周辺駆動回路部202により囲まれている。回路部202には、アレイ部201の記憶機能を活性にするための周辺駆動回路が形成される。同図では、周辺駆動回路のうち、アレイ部201に直接に接続されるもの、特にローデコーダ部301、センスアンプ回路部302、およびソース線電位制御回路部303がそれぞれ示されている。

【0072】NAND型EEPROMは、複数のメモリセルMCが互いに直列に接続されたNAND型セル400を、アレイ部201内に有する。NAND型セル400の電流通路の一端は、選択トランジスタST1を介してビット線BL(BL1~BLm)に接続され、その他端は、選択トランジスタST2を介してソース線SLに接続されている。メモリセルMCのゲートは、ワード線

WL (WL 1~WL n) に接続され、選択トランジスタ ST 1、ST 2 のゲートはそれぞれ、選択ゲート線 SG 1、SG 2 に接続されている。ワード線 WL 1~WL n、選択ゲート線 SG 1、SG 2 はそれぞれ、ローデコーダ部 301 に接続される。ビット線 BL 1~BL m はそれぞれ、センスアンプ回路部 302 に接続される。ソース線 SL は、ソース線電位制御回路部 303 に接続される。アレイ部 201 のカラム方向に沿った最外周には、ビット線 BL との接点を持たないダミーパターンセル DPC を含むダミーパターン DP が配置され、メモリセル MC は、ダミーパターン DP よりも内側に配置される。

【0073】図1は、図2 (B) 中の一点鎖線枠 401 内の平面図、図2 (A) は、図1中のB-B線に沿う断面図である。

【0074】図1、図2 (A) に示すように、p型シリコン基板 (あるいはp型ウェル) 1には、LOCOS型の素子分離領域2が形成され、アレイ部201に、活性領域4 (4d、4c) を分離している。アレイ部201のカラム方向に沿った最外周に位置する活性領域4dは、メモリセルとして使用しないダミーパターンセルDPCが形成される部分であり、活性領域4cは、メモリセルMCが形成される部分である。この実施形態では、活性領域4dの幅Wdが、活性領域4cの幅Wcよりも広くされている。

【0075】活性領域4cの上には、トンネル電流が流れ得る、薄いゲート絶縁膜 (SiO<sub>2</sub>、以下トンネル絶縁膜) 5cが形成されている。また、活性領域4dの上には、トンネル絶縁膜5cよりも厚いゲート絶縁膜 (SiO<sub>2</sub>) 5dが形成されている。トンネル絶縁膜5cの上には浮遊ゲート6cが形成され、ゲート絶縁膜5dの上には浮遊ゲート6dが形成されている。浮遊ゲート6dのカラム方向に沿って延びる端部の一つは、アレイ部201の分離領域2上に配置され、他の一つは、回路部202の分離領域2上に配置されている。

【0076】浮遊ゲート6d、6cの上には、第2のゲート絶縁膜7が形成され、この上には、ワード線WL (WL 1~WL 3) となる制御ゲート8 (WL 1) ~8 (WL 3) が形成されている。これにより、メモリセルMCはそれぞれ、浮遊ゲート6cと制御ゲート8 (WL) とを有した積層ゲート構造となる。ダミーパターンセルDPCも、同様の積層ゲート構造となる。制御ゲート8 (WL 1) ~8 (WL 3) はそれぞれ、回路部202の分離領域2の上で、金属配線54 (WL 1) ~54 (WL 3) に、層間絶縁膜50に形成されたコンタクト孔53 (WL 1) ~53 (WL 3) を介して接続されている。金属配線54 (WL 1) ~54 (WL 3) は、図示せぬローデコーダ部内のトランジスタに接続される。

【0077】また、選択ゲート線SG (SG 1) は、浮遊ゲート6c、6dを構成する導電膜と同じ膜からな

り、ロー方向に分断されない第1層め選択ゲート線6 (SG 1)、制御ゲート8 (WL 1) ~8 (WL 3) を構成する導電膜と同じ膜からなる、第2層め選択ゲート線8 (SG 1) との積層ゲート構造からなっている。第1層め選択ゲート線6 (SG 1) は、回路部202の分離領域2の上で、金属配線54 (SG 1) に、層間絶縁膜50に形成されたコンタクト孔53 (SG 1) -1を介して接続されている。同様に、第2層め選択ゲート線8 (SG 1) は、回路部202の分離領域2の上で、金属配線54 (SG 1) に、層間絶縁膜50に形成されたコンタクト孔53 (SG 1) -2を介して接続されている。金属配線54 (SG 1) は、金属配線54 (WL 1) ~54 (WL 3) と同様に、図示せぬローデコーダ部のトランジスタに接続される。

【0078】さらに参照符号9はN型拡散層であり、メモリセルMCのソース/ドレイン領域として機能する。なお、参照符号9Dに示すN型拡散層は、図示せぬビット線が層間絶縁膜50に形成されるコンタクト孔52を介して接続される拡散層であり、NAND型セル400のドレインとして機能するものである。また、図1の平面では、ソースとして機能するN型拡散層は図示されていない。

【0079】図1、図2 (A) には、ロー方向に沿った浮遊ゲート6dの幅W6dは、ロー方向に沿った浮遊ゲート6cの幅W6cよりも大きいものが図示されている。このような構造は、パターンの周期性が無くなるアレイ部201の外周と、その内部とで、浮遊ゲートの寸法が同一寸法にならない場合があるために生ずる。

【0080】また、分離領域2の基板1の表面からの高さが、微細な活性領域パターンが繰り返されるアレイ部201より、大きな活性領域パターンが繰り返される回路部202のほうが高くなる場合がある。この場合、スリット62の幅を、アレイ部201と回路部202とで、同一に揃えることは難しい。しかも、浮遊ゲート6dの、回路部202の分離領域2上に延在する部分の幅1は、ウィングの幅Wwよりも長くなってしまう。

【0081】したがって、従来の技術の欄で説明したように、ダミーパターンセルDPCでは、その制御ゲート8 (WL) と浮遊ゲート6dとの間の容量C2が、メモリセルMCにおける容量C2よりも大きくなる。

【0082】しかし、第1の実施形態によれば、ゲート絶縁膜5dの膜厚を、トンネル絶縁膜5cの膜厚よりも厚くする。従来の技術の欄に示した (8) 式によれば、ゲート絶縁膜5dの膜厚 (Td) を厚くすると、浮遊ゲート6dの電位 (VFG) が高まり、ゲート絶縁膜5dにかかる電圧は大きくなる。しかし、 (10) 式より、ゲート絶縁膜5dに印加される電界Edは、膜厚 (Td) を厚くすることにより、逆に低下する。さらには、浮遊ゲート6dの電位 (VFG) が高まることで、制御ゲート8 (WL) と浮遊ゲート6dとの電位差は小さくなる。

即ち、第2のゲート絶縁膜7に印加される電圧を低下できる。

【0083】これらの事項より、第1の実施形態に係るNAND型EEPROMによれば、ダミーパターンセルDPCのゲート絶縁膜5dの膜厚を、メモリセルMCのトンネル絶縁膜5cの膜厚よりも厚くすることで、ゲート絶縁膜5dに印加される電界Edおよび第2のゲート絶縁膜7に印加される電圧をそれぞれ低下できる。よって、アレイ部201の最外周のセルのパターンと、それよりも内側に存在するセルのパターンとが異なっている、制御ゲート8(WL1)～8(WL3)と基板1との絶縁特性の低下を抑制でき、メモリセルMCの特性を損い難くすることができる。

【0084】さらに、第1の実施形態では、活性領域4dの幅Wdを、活性領域4cの幅Wcよりも広くする。この構成によれば、次のような効果を得ることができる。

【0085】浮遊ゲート6dの分離領域2の上に延在した部分の幅lは、浮遊ゲート6dと制御ゲート8(WL)との対向面積を増加させる。このため、ダミーパターンセルC2における容量C2が増加して、ゲート絶縁膜5dに印加される電圧が増加する。そこで、幅lは、

$$l \geq \frac{Ed}{Ec} = \frac{Tc + \frac{\epsilon_1 \cdot Wc}{\epsilon_2(Wc + 2Ww)} \cdot T2}{Td + \frac{\epsilon_1 \cdot Wd}{\epsilon_2(Wd + Ww + l)} \cdot T2} \quad \dots (12)$$

【0089】なお、(12)式において、Edはゲート絶縁膜5dに印加される電界、Ecはトンネル絶縁膜5cに印加される電界、T2は第2のゲート絶縁膜7の膜厚である。

【0090】(12)式より、ダミーパターンセルDPCの各部の寸法、即ち活性領域4dの幅Wd、回路部202の分離領域2上に延在する幅l、ゲート絶縁膜5dの膜厚Tdの値をそれぞれ、(Ed/Ec) ≤ 1となるように選ぶ。これにより、最外周のダミーパターンセルDPCにおいて、容量C2の増加による、浮遊ゲート6dの電位(VFG)の増加を抑制することができる。

【0091】次に、この発明の第2、第3の実施形態を説明する。

【0092】図3は、この発明の第2の実施形態に係るNAND型EEPROMの断面図、図4は、この発明の第3の実施形態に係るNAND型EEPROMの断面図である。図3、図4それぞれに示す断面は、図1中のB-B線に沿う断面に対応している。また、図3、図4において、図2(A)と同一の部分には、同一の参照符号を付す。

【0093】図3に示すように、アレイ部201、および回路部202双方の素子分離に、基板1にトレンチ1

出来る限り小さいほうが良い。しかしながら、上述したように、リソグラフィの事情や、分離領域2の高さの違いなどにより、浮遊ゲート6dの分離領域2の上に延在した部分の幅lをウィングの幅Wwと同等にすることは非常に難しい。そこで、ダミーパターンセルDPCの活性領域4dの幅Wdを、メモリセルMCの活性領域4cの幅Wcよりも広くする。

【0086】この構成によれば、浮遊ゲート6dと基板1との間の容量C1を、容量C2の増加に合わせて大きくできるので、(1)式などに示されるカップリング比C2/(C1+C2)が高まることが抑制される。よって、浮遊ゲート6dの電位(VFG)が無用に大きくなることを防止でき、ゲート絶縁膜5dの絶縁特性の低下を抑制することができる。

【0087】また、この構成は、ダミーパターンセルDPCのチャネル領域の面積(Wd×L:Lはチャネル長)を、メモリセルMCのチャネル領域の面積(Wc×L:Lはチャネル長)よりも大きくすることと等価である。よって、以下に示す通り変形されても良く、その指針を定式化すれば、下記ようになる。

【0088】

【数12】

1を形成し、このトレンチ11を二酸化シリコンなどの絶縁物により埋め込んだトレンチ型素子分離領域12を用いても良い。

【0094】また、図4に示すように、アレイ部201の素子分離にトレンチ型素子分離領域12を用い、回路部202の素子分離にLOCOS型素子分離領域2を用いるようにしても良い。

【0095】これらのような場合にも、第1の実施形態のように、ダミーパターンセルDPCのゲート絶縁膜5dの膜厚を、メモリセルMCのトンネル絶縁膜5cの膜厚よりも厚くする、あるいはさらにダミーパターンセルDPCの活性領域4dの幅Wdを、メモリセルMCの活性領域4cの幅Wcよりも広くする等の構成により、第1の実施形態と同様な効果を得ることができる。

【0096】次に、この発明の第4の実施形態に係るNAND型EEPROMを、その製造方法とともに説明する。

【0097】図5(A)～(C)、および図6(A)～(C)はそれぞれ、第4の実施形態に係るNAND型EEPROMを主要な製造工程毎に示した平面図である。

【0098】まず、図5(A)に示すように、p型シリコン基板(あるいはp型ウェル)1の表面のうち、回路

部202に対応した部分に、LOCOS素子分離技術を用いて、厚さ約0.3~0.8 $\mu$ m程度の素子分離領域2を形成する。

【0099】次に、図5(B)に示すように、基板1の表面のうち、アレイ部201に対応した部分に、素子分離パターンに応じ、深さ約0.3~0.7 $\mu$ m程度のトレンチ11を形成し、このトレンチ11を、例えばSiO<sub>2</sub>、TEOS、BPSGなどの埋め込み用絶縁物12により埋め込む。次いで、エッチバック、あるいはCMP等により絶縁物12の表面を平坦化し、活性領域に対応して露出した基板1の表面に、第1のゲート絶縁膜5d、例えば熱酸化膜、あるいは酸窒化膜を形成する。

【0100】次に、図5(C)に示すように、アレイ部201において、選択ゲートトランジスタSTが形成される部分、およびダミーパターンDPCが形成される部分を覆い、メモリセルが形成される部分に窓を有するマスク61を用いて、第1のゲート絶縁膜5dを除去し、基板1の表面を露出させる。次いで、露出した基板1の表面に、第1のゲート絶縁膜5dよりも薄いトンネル絶縁膜5c、例えば熱酸化膜を形成する。

【0101】次に、図6(A)に示すように、第1ゲート6、例えばN型のポリシリコン、あるいはアモルファスシリコンを全面に形成する。次いで、アレイ部201内のトレンチ型素子分離領域12上の第1ゲート6に、ロー方向に隣接する浮遊ゲートどうしを分断するためのスリット62を形成する。このとき、回路部202内のLOCOS型素子分離領域2の上においても、ダミーパターンセルDPCの浮遊ゲートを分断するために、同様なスリット62を形成する。

【0102】次に、図6(B)に示すように、第2のゲート絶縁膜、例えば酸化膜/窒化膜/酸化膜の積層膜(ONO膜)、あるいは酸窒化膜を形成した後、この上に、第2ゲート8、例えばN型のポリシリコン、アモルファスシリコン、あるいはタングステンシサイドなどのシリサイド、またはこれらの積層体を形成する。次いで、第2ゲート8をワード線パターンにパターンニングする。このとき、同一のマスクを用いて、第2のゲート絶縁膜、第1ゲート6を順次エッチングする。これにより、第2ゲート8は、第2層め選択ゲート線8(SG1)、8(SG2)、ワード線8(WL1)、8(WLn)のパターンに加工される。同時に、第1ゲート6は、第1層め選択ゲート線6(SG1)、6(SG2)、浮遊ゲート6d、6cのパターンに加工される。この後、LOCOS型素子分離領域2上の第2層め選択ゲート線8(SG1)、8(SG2)の端部をエッチングし、第1層め選択ゲート線6(SG1)、6(SG2)を露出させる。

【0103】次に、図6(C)に示すように、層間絶縁膜50(図6(C)には図示せず)、例えばBPSGを形成した後、この層間絶縁膜50に、第1層め選択ゲート

線6(SG1)、6(SG2)に通じるコンタクト孔53(SG1)-1、53(SG2)-1をそれぞれ形成し、さらに第2層め選択ゲート線8(SG1)、8(SG2)に通じるコンタクト孔53(SG1)-2、53(SG2)-2、ワード線8(WL1)~8(WLn)に通じるコンタクト孔53(WL1)~53(WLn)を形成する。次いで、金属配線54(SG1)、54(WL1)~54(WLn)、54(SG2)を形成する。

【0104】このような製造方法により形成されたNAND型EEPROMであると、ダミーパターンセルDPCのゲート絶縁膜5dが、メモリセルMCのトンネル絶縁膜5cよりも厚くなるので、第1~第3の実施形態と同様な効果を得ることができる。

【0105】また、選択トランジスタST1、ST2のゲート絶縁膜は、通常、トンネル絶縁膜5cよりも厚い。このため、ゲート絶縁膜5dの厚さを、選択トランジスタST1、ST2のゲート絶縁膜と同じ厚さとする。

【0106】このような構成であると、例えば選択トランジスタST1、ST2のゲート絶縁膜(この実施形態ではゲート絶縁膜5dに相当)を形成した後、このゲート絶縁膜をメモリセルを形成する部分から除去するためのマスクのパターンを変えるだけで、トンネル絶縁膜5cよりも厚いダミーパターンセルDPCのゲート絶縁膜5dを得ることができる。したがって、この発明に係るNAND型EEPROMを、製造工程を増やさずに、得ることができる。

【0107】次に、この発明の第5の実施形態を説明する。

【0108】第5の実施形態は、素子分離技術に、自己整合トレンチ素子分離技術を用いた例である。

【0109】図7は、第5の実施形態に係るNAND型EEPROMの平面図、図8は、図7中のB-B線に沿う断面図である。図7に示す平面は、図2(B)中の一点鎖線枠401内の平面に対応している。図7、図8において、図1、図2(A)と同一の部分には、同一の参照符号を付す。

【0110】図7、図8に示すように、アレイ部201には、カラム方向に沿った浮遊ゲート6d、6cの、カラム方向に沿った端部に対して自己整合的に基板1内に形成された、自己整合型トレンチ素子分離領域12(STI)が形成されている。アレイ部201内の浮遊ゲート6cの側壁は、分離領域12(STI)から露出されている。制御ゲート8(WL1)~8(WL3)と浮遊ゲート6cとの間の容量C2を、浮遊ゲート6cと基板1との間の容量C1よりも大きくするためである。このため、アレイ部201の最外周に存在する浮遊ゲート6dの側壁も、アレイ部201側では、浮遊ゲート6cと同様に露出している。しかし、回路部202側の側壁

は、分離領域 12 (ST1) から露出しない。

【0111】したがって、従来の技術の欄で説明したように、ダミーパターンセルDPCでは、その制御ゲート 8 (WL) と浮遊ゲート 6 d との間の容量 C2 が、メモリセルMCにおける容量 C2 よりも小さくなる。このため、浮遊ゲート 6 d の電位 (VFG) が上昇し難くなり、結果、第 2 のゲート絶縁膜 7 に大きい電圧がかかることになる。

【0112】しかし、第 5 の実施形態によれば、ゲート絶縁膜 5 d の膜厚を、トンネル絶縁膜 5 c の膜厚よりも厚くする。このため、浮遊ゲート 6 d と基板 1 との間の容量 C1 が小さくなる。したがって、(1) 式に示されるカップリング比  $C2 / (C1 + C2)$  が高まるようになり、浮遊ゲート 6 d の電位 (VFG) が上昇し易くなる。この結果、第 2 のゲート絶縁膜 7 に大きい電圧がかかることを抑制できる。このように、第 5 の実施形態に係る NAND 型 EEPROM によれば、ダミーパターンセルDPCのゲート絶縁膜 5 d の膜厚を、メモリセルMCのトンネル絶縁膜 5 c の膜厚よりも厚くすることで、浮遊ゲート 6 d の周辺駆動回路部 202 側の端部が露出していないパターンであっても、第 1 ～第 4 の実施形態と同様に、制御ゲート 8 (WL1) と基板 1 との絶縁特性の低下を抑制でき、メモリセルMCの特性を損なわれ難くすることができる。

【0113】次に、この発明の第 6 の実施形態を説明する。

【0114】図 9 は、この発明の第 6 の実施形態に係る NAND 型 EEPROM の断面図である。図 9 に示す断面は、図 7 中の B-B 線に沿う断面に対応している。また、図 9 において、図 8 と同一の部分には、同一の参照符号を付す。

【0115】図 9 に示すように、アレイ部 201 の素子分離に自己整合型トレンチ素子分離領域 12 (ST1) を用い、回路部 202 の素子分離に LOCOS 型素子分離領域 2 を用いるようにしても良い。

【0116】この場合には、ダミーパターンセルDPCのゲート絶縁膜 5 d の膜厚を、メモリセルMCのトンネル絶縁膜 5 c の膜厚よりも厚くする、あるいはさらにダミーパターンセルDPCの活性領域 4 d の幅 Wd を、メモリセルMCの活性領域 4 c の幅 Wc よりも広くする等の構成により、第 1 の実施形態と同様な効果を得ることができる。

【0117】次に、この発明の第 7 の実施形態に係る NAND 型 EEPROM を、その製造方法とともに説明する。

【0118】図 10 (A) ～ (C)、および図 11

(A) ～ (C) はそれぞれ、第 7 の実施形態に係る NAND 型 EEPROM を主要な製造工程毎に示した平面図である。まず、図 10 (A) に示すように、p 型シリコン基板 (あるいは p 型ウェル) 1 の表面のうち、回路部

202 に対応した部分に、LOCOS 素子分離技術を用いて、厚さ約 0.3 ～ 0.8  $\mu\text{m}$  程度の素子分離領域 2 を形成する。

【0119】次に、図 10 (B) に示すように、アレイ部 201 に露出した基板 1 の表面に、第 1 のゲート絶縁膜 5 d、例えば熱酸化膜、あるいは酸窒化膜を形成する。次いで、アレイ部 201 において、選択ゲートトランジスタ ST が形成される部分、およびダミーパターン DPC が形成される部分を覆い、メモリセルが形成される部分に窓を有するマスク 61 を用いて、第 1 のゲート絶縁膜 5 d を除去し、基板 1 の表面を露出させる。次いで、露出した基板 1 の表面に、第 1 のゲート絶縁膜 5 d よりも薄いトンネル絶縁膜 5 c、例えば熱酸化膜を形成する。

【0120】次に、図 10 (C) に示すように、第 1 ゲート 6、例えば N 型のポリシリコン、あるいはアモルファスシリコンを全面に形成する。次いで、第 1 ゲート 6 の上に、基板 1 とエッチングレートを異ならせることができる材料からなる膜、例えば二酸化シリコン膜 (図示せず) を形成する。次いで、第 1 ゲート 6 に、アレイ部 201 内に形成される素子分離領域に対応したスリット 63 を形成する。このとき、回路部 202 内の LOCOS 型素子分離領域 2 の上においても、ダミーパターンセルDPCの浮遊ゲートを分断するためのスリット 64 を形成する。次いで、図示せぬ二酸化シリコン膜が表面に積層されている第 1 ゲート 6 をマスクに用いて、基板 1 をエッチングし、トレンチ 11 を形成する。

【0121】次に、図 11 (A) に示すように、トレンチ 11 を、例えば  $\text{SiO}_2$ 、TEOS、BPSG などの埋め込み用絶縁物により埋め込む。次いで、エッチバック、あるいは CMP 等により絶縁物の表面を平坦化する。次いで、回路部 202 上を覆い、アレイ部 201 上に窓を有した図示せぬマスクを用いて、RIE 法等により絶縁物をエッチバックし、第 1 ゲート 6 の側壁を露出させる。

【0122】次に、図 11 (B) に示すように、第 2 のゲート絶縁膜、例えば酸化膜/窒化膜/酸化膜の積層膜 (ONO 膜)、あるいは酸窒化膜を形成した後、この上に、第 2 ゲート 8、例えば N 型のポリシリコン、アモルファスシリコン、あるいはタングステンシリサイドなどのシリサイド、またはこれらの積層体を形成する。次いで、第 2 ゲート 8 をワード線パターンにパターンニングする。このとき、同一のマスクを用いて、第 2 のゲート絶縁膜、第 1 ゲート 6 を順次エッチングする。これにより、第 2 ゲート 8 は、第 2 層め選択ゲート線 8 (SG1)、8 (SG2)、ワード線 8 (WL1) ～ 8 (WL<sub>n</sub>) のパターンに加工される。同時に、第 1 ゲート 6 は、浮遊ゲート 6 d、6 c のパターンに加工される。また、第 2 層め選択ゲート線 8 (SG1)、8 (SG2) それぞれの下には、浮遊ゲート状のパターン 6 d (SG

1)、6d(SG2)、6c(SG1)、6c(SG2)が形成される。これらの浮遊ゲート状のパターンの上からは、図示せぬ第2のゲート絶縁膜を除去しておき、第2層め選択ゲート線8(SG1)、8(SG2)と直接に接続しておくことが好ましい。

【0123】次に、図11(C)に示すように、層間絶縁膜50(図11(C)には図示せず)、例えばBPSSGを形成した後、この層間絶縁膜50に、第2層め選択ゲート線8(SG1)、8(SG2)に通じるコンタクト孔53(SG1)、53(SG2)、ワード線8(WL1)~8(WLn)に通じるコンタクト孔53(WL1)~53(WLn)を形成する。次いで、金属配線54(SG1)、54(WL1)~54(WLn)、54(SG2)を形成する。

【0124】このような製造方法により形成されたNAND型EEPROMであると、ダミーパターンセルDPCのゲート絶縁膜5dが、メモリセルMCのトンネル絶縁膜5cよりも厚くなるので、第1~第4の実施形態と同様な効果を得ることができる。

【0125】また、第7の実施形態では、選択トランジスタST1、ST2のゲート絶縁膜は、トンネル絶縁膜5cよりも厚く、このため、ダミーパターンセルDPCのゲート絶縁膜5dの厚さを、選択トランジスタST1、ST2のゲート絶縁膜と同じ厚さとしている。したがって、第4の実施形態と同様に、例えば選択トランジスタST1、ST2のゲート絶縁膜(この実施形態ではゲート絶縁膜5dに相当)を形成した後、このゲート絶縁膜をメモリセルを形成する部分から除去するためのマスクのパターンを変えるだけで、トンネル絶縁膜5cよりも厚いダミーパターンセルDPCのゲート絶縁膜5dを得ることができる。したがって、この発明に係るNAND型EEPROMを、製造工程を増やさずに、得ることができる。

【0126】また、第5、第6、第7の実施形態のように、アレイ部201の素子分離に、自己整合トレンチ素子分離技術を用いた場合、第1ゲート6の側壁を露出させるエッチバックにおいて、プラズマダメージが、第1ゲート絶縁膜、即ち、ゲート絶縁膜5dや、トンネル絶縁膜5cに加わるおそれがある。これは、エッチバック中に、導電物である第1ゲート6の表面が露出し、ここに荷電粒子が衝突するためである。第1ゲート6に衝突した荷電粒子は、活性領域4d、4cの上に存在するゲート絶縁膜5dやトンネル絶縁膜5cにプラズマダメージを与える。このようなプラズマダメージは、アンテナ比、即ち、第1ゲート6の露出する面積Sbと、第1ゲート6の活性領域4d、4cに対向する面積Saとの比Sb/Saが高いほど大きくなる。したがって、プラズマダメージを軽減するには、アンテナ比を、可能な限り“1”に近づけることが重要である。

【0127】そこで、第8の実施形態は、第5~第7の

実施形態のように自己整合トレンチ素子分離技術を用いたEEPROMにおいて、ゲート絶縁膜5d、トンネル絶縁膜5cに加わるプラズマダメージを軽減し、これらの膜の製造工程中に不慮に進行する劣化を、さらに抑制できるようにした。

【0128】図12(A)は、第8の実施形態に係るEEPROMの第1ゲートにスリット加工を施した時点、を、概略的に示した平面図、図12(B)は、図12(A)中のB-B線に沿う断面図である。また、図13は、図12(A)を、第1ゲートを取り除いて示した平面図である。

【0129】図12(A)に示すように、回路部202内のLOCOS型素子分離領域2の上に形成され、ダミーパターンセルDPCの浮遊ゲートを分断するためのスリット64を、アレイ部201の縁に沿って環状に設ける。

【0130】この構成により、第1ゲート6を、アレイ部201とほぼ同じ大きさの孤立したパターンとすることができる。通常、第1ゲート層は、ウェーハの全面に形成されるものである。このため、例えば図14に示すように、環状のスリット64を有していない装置に比べて、アンテナ比Sb/Saを、より“1”に近づけることができる。

【0131】次に、第9の実施形態を説明する。

【0132】図15に示すように、回路部202内のスリット64の幅W64が、アレイ部201内のスリット63の幅W63よりも広くなると、スリット64の内部における二酸化シリコン等の埋め込み絶縁物71の膜厚が、スリット63の内部における膜厚よりも薄くなる。このような状態で、絶縁物71をエッチバックすると、参照符号300に示すように、回路部202内のLOCOS型素子分離領域2の膜厚が薄くなることがある。この膜厚が薄くなった部分300では、フィールド反転耐圧や、ゲート耐圧が著しく低下する。

【0133】このような事情を解消するには、図12に示すように、幅W64を、幅W63と等しくする、あるいは図9に示すように、幅W64を、幅W63よりも狭くする。これにより、埋め込み絶縁物71の膜厚を、スリット64内とスリット63内とでほぼ等しくできる。よって、エッチバック時の膜減り量を、スリット64内とスリット63内とでほぼ同じにでき、回路部202内の素子分離領域2において、膜厚が薄くなる事情を抑制することができる。

【0134】なお、このような第9の実施形態は、LOCOS型の素子分離領域2だけでなく、トレンチ型の分離領域12や、自己整合トレンチ素子分離型の分離領域12(STI)であっても適用できる。膜厚の減少は、トレンチ型、あるいは自己整合トレンチ型の素子分離においても、フィールド反転耐圧や、ゲート耐圧の低下の原因となるものであるためである。

【0135】次に、この発明の第10の実施形態を説明する。

【0136】図16は、この発明の第10の実施形態に係るEEPROMの断面図である。

【0137】周辺駆動回路部202内には、アレイ部201の記憶機能を活性にするための様々な周辺駆動回路が集積される。周辺駆動回路を構成するトランジスタには、チップに供給される電源電圧、例えば5Vを駆動する電源電圧系トランジスタの他、電源電圧よりも高い電圧、例えば20Vを駆動する高耐圧系トランジスタがある。

【0138】高耐圧系トランジスタでは、その耐圧を確保するために、電源電圧系トランジスタよりも厚いゲート絶縁膜を持つ。

【0139】EEPROMチップの中に形成されるゲート絶縁膜のうち、最も厚いものは、高耐圧系トランジスタのゲート絶縁膜であり、最も薄いゲート絶縁膜は、メモリセルの第1のゲート絶縁膜5cである。アレイ部201内に設けられる選択トランジスタのゲート絶縁膜の厚さ、および回路部202内に設けられる電源電圧系トランジスタのゲート絶縁膜の厚さは、通常、それらの中間にあたるが、選択トランジスタや電源電圧系トランジスタのゲート絶縁膜の厚さを、ゲート絶縁膜5cと同じとすることもある。このようなEEPROM、あるいはアレイ部内201に選択トランジスタを持たないNOR型EEPROMなどにあっては、メモリセルのゲート絶縁膜よりも厚いゲート絶縁膜は、回路部202内の、高耐圧系トランジスタのゲート絶縁膜のみとなる。

【0140】第10の実施形態では、図16に示すように、アレイ部201の内側にメモリセルMC、その最外周にダミーパターンセルDPCがそれぞれ形成され、回路部202には、電源電圧系トランジスタ、高耐圧系トランジスタがそれぞれ形成されている。メモリセルMCのゲート絶縁膜5cは最も薄い。高耐圧系トランジスタのゲート絶縁膜5hは最も厚い。電源電圧系トランジスタのゲート絶縁膜5tは、それらの中間の厚さを持つ。そして、アレイ部201内の最外周に存在するダミーパターンセルDPCのゲート絶縁膜5dの厚さは、回路部202内の高耐圧系トランジスタのゲート絶縁膜5hと同じである。

【0141】なお、同図に示す回路部202内に形成されるトランジスタのゲートG1、G2には、第1ゲート層6、第2ゲート層8の二層構造で形成されたものを示している。つまり、電源電圧系トランジスタのゲート電極G1は、第1層めゲート6t、この第1層めゲート6tに接続された第2層めゲート8tの積層からなり、高耐圧系トランジスタのゲート電極G2は、第1層めゲート6h、この第1層めゲート6hに接続された第2層めゲート8tの積層からなる。

【0142】このような第10の実施形態によれば、ダ

ミーパターンセルDPCのゲート絶縁膜5dの厚さを、高耐圧系トランジスタのゲート絶縁膜5hと同じ厚さとすることにより、メモリセルMCのゲート絶縁膜5cよりも厚くできる。したがって、第1～第9の実施形態と同様の効果を得ることができる。

【0143】しかも、第10の実施形態では、NOR型EEPROMのように、選択トランジスタをアレイ部201内に持たない場合でも、高耐圧系トランジスタのゲート絶縁膜形成時に、ダミーパターンセルDPCのゲート絶縁膜5dを同時に形成できるので、製造工程を増やさずに形成することができる。

【0144】第10の実施形態に係るEEPROMの形成手順を以下に説明する。

【0145】まず、半導体基板1の回路部202の部分に、LOCOS型素子分離領域2を形成する。次いで、回路部202およびアレイ部201に、ゲート絶縁膜5h、5dを形成する。次いで、回路部202の電源電圧系トランジスタを形成する部分、アレイ部201のメモリセルMCを形成する部分それぞれから、ゲート絶縁膜5h、5dを除去する。次いで、ゲート絶縁膜5h、5dが除去された部分に、ゲート絶縁膜5tを形成する。次いで、アレイ部201のメモリセルMCを形成する部分から、ゲート絶縁膜5tを除去する。次いで、ゲート絶縁膜5tが除去された部分に、ゲート絶縁膜5tよりも薄いゲート絶縁膜5cを形成する。次いで、全面に、第1ゲート層6を形成し、第1ゲート層6に、アレイ部201内における素子分離領域に対応したスリットを形成し、さらにアレイ部201にトレンチ11を形成する。次いで、トレンチ11を絶縁物で埋め込み、エッチバックして自己整合トレンチ型の分離領域12(STI)を形成する。

【0146】次いで、第2ゲート絶縁膜7を形成する。次いで、回路部202から、第2ゲート絶縁膜7を除去する。次いで、全面に、第2ゲート層8を形成し、第2ゲート層8上に、ワード線パターン、および回路部202内のゲート電極パターンに対応したホトレジスト膜を形成する。次いで、ホトレジスト膜をマスクに用いて、回路部202内にあつては、第2ゲート層8および第1ゲート層6、アレイ部201内にあつては、第2ゲート層8、第2ゲート絶縁膜7、第1ゲート層6を順次エッチングする。これにより、回路部202内にゲート電極G1、G2を形成し、アレイ部201内にワード線8(WL)を形成する。

【0147】このようにして、第10の実施形態に係るEEPROMを形成することができる。

【0148】また、第10の実施形態において、ダミーパターンセルDPCのゲート絶縁膜5dの厚さを、電源電圧系トランジスタ5tと同じ厚さとしても良い。

【0149】この場合には、回路部202の電源電圧系トランジスタを形成する部分、アレイ部201のダミー

パターンセルDPCを形成する部分、およびメモリセルMCを形成する部分それぞれから、ゲート絶縁膜5hを除去する。次いで、ゲート絶縁膜5hが除去された部分に、ゲート絶縁膜5hよりも薄いゲート絶縁膜5t、5dを形成する。次いで、アレイ部201のメモリセルMCを形成する部分から、ゲート絶縁膜5t、5dを除去する。次いで、ゲート絶縁膜5t、5dが除去された部分に、ゲート絶縁膜5tよりも薄いゲート絶縁膜5cを形成すれば良い。

【0150】また、第10の実施形態は、回路部202の素子分離に、LOCOS型の素子分離領域2を用い、アレイ部201の素子分離に、自己整合トレンチ型の分離領域12(STI)を用いたが、回路部202、アレイ部201それぞれの素子分離に、LOCOS型の素子分離領域、あるいはトレンチ型の素子分離領域を用いるようにしても良い。さらに、回路部202の素子分離に、LOCOS型の素子分離領域を用い、アレイ部201の素子分離に、トレンチ型、あるいは自己整合トレンチ型の素子分離領域を用いるようにしても良い。

【0151】以上、この発明を、第1～第10の実施形態により説明したが、この発明は、第1～第10の実施形態に限定されて実施されるものではなく、例えば下記のように変形して実施することができる。

【0152】例えばEEPROMは、NAND型、NOR型の他、メモリセルアレイ部の最外周のメモリセルとその内部のメモリセルとで、浮遊ゲートと制御ゲートとの間の容量が異なっているものであれば、AND型やDINOR型、グランドアレイ型などのEEPROMにも実施できる。さらにはEEPROMでなくとも、同じようなメモリセルを有する紫外線消去型EPROM、マスクROM、OTPROMなどでも実施できる。

【0153】また、トレンチ11内を埋め込む絶縁物は、二酸化シリコンの他、酸化シリコン系の絶縁物であるTEOSや、BPSGなどに変更でき、もちろん、他の絶縁物にも変更できる。同様に、ゲート絶縁膜5d、5c、5t、5hは、二酸化シリコン(SiO<sub>2</sub>)の他、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)、酸窒化シリコン(SiON)など、他の絶縁物に変更でき、第2ゲート絶縁膜7も、ONOの他、二酸化シリコン(SiO<sub>2</sub>)の他、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)、酸窒化シリコン(SiON)など、他の絶縁物に変更できる。

【0154】さらに、第1ゲート層6を構成する導電物も、不純物のドーピングにより電気伝導率が高められた多結晶シリコンや非晶質シリコン以外の導電物に変更できる。同様に第2ゲート層8を構成する導電物も、不純物のドーピングにより電気伝導率が高められた多結晶シリコンや非晶質シリコンの他、タングステンシリサイドに代表される高融点金属の珪化物などの他の導電物に変更できる。さらに第2ゲート層8は、多結晶シリコンと珪化物との積層構造(ポリサイド構造)、あるいは多結

晶シリコンと金属との積層構造(ポリメタル構造)などの積層構造にも変更できる。

【0155】その他、この発明の要旨を逸脱しない範囲で種々変形できることはもちろんである。

【0156】

【発明の効果】以上説明したように、この発明によれば、メモリセルアレイ部の最外周のセルのパターンと、その内側のセルのパターンとが異なっている、制御ゲートと基板との絶縁特性の低下を抑制でき、メモリセルの特性が損なわれ難くなる不揮発性半導体記憶装置と、その製造方法とをそれぞれ提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施形態に係るNAND型EEPROMの平面図。

【図2】図2(A)は図1中のB-B線に沿う断面図、図2(B)はNAND型EEPROMの回路構成の一例を示す図。

【図3】図3はこの発明の第2の実施形態に係るNAND型EEPROMの断面図。

【図4】図4はこの発明の第3の実施形態に係るNAND型EEPROMの断面図。

【図5】図5(A)～(C)はそれぞれこの発明の第4の実施形態に係るNAND型EEPROMを製造工程順に示した平面図。

【図6】図6(A)～(C)はそれぞれこの発明の第4の実施形態に係るNAND型EEPROMを製造工程順に示した平面図。

【図7】図7はこの発明の第5の実施形態に係るNAND型EEPROMの平面図。

【図8】図8は図7中のB-B線に沿う断面図。

【図9】図9はこの発明の第6の実施形態に係るNAND型EEPROMの断面図。

【図10】図10(A)～(C)はそれぞれこの発明の第7の実施形態に係るNAND型EEPROMを製造工程順に示した平面図。

【図11】図11(A)～(C)はそれぞれこの発明の第7の実施形態に係るNAND型EEPROMを製造工程順に示した平面図。

【図12】図12(A)はこの発明の第8の実施形態に係るEEPROMの平面図、図12(B)は図12(A)中のB-B線に沿う断面図。

【図13】図13は図12(A)の第1ゲート6を取り除いて示した平面図。

【図14】図14(A)は第8の実施形態の比較例に係るEEPROMの平面図、図14(B)は図14(A)中のB-B線に沿う断面図。

【図15】図15はこの発明の第9の実施形態の背景技術を説明するための図。

【図16】図16はこの発明の第10の実施形態に係るEEPROMの断面図。



【図17】図17(A)はEEPROMの平面図、図17(B)は図17(A)中のB-B線に沿う断面図。

【図18】図18はEEPROMの断面図。

【図19】図19はEEPROMの断面図。

【図20】図20はEEPROMの構成を示すブロック図。

【図21】図21はメモリセルアレイ部と周辺駆動回路部との境界部分の回路図。

【図22】図22はEEPROMの断面図。

【図23】図23(A)はメモリセルの等価回路図、図23(B)はメモリセルの斜視図。

【図24】図24はEEPROMの断面図。

【図25】図25はEEPROMの断面図。

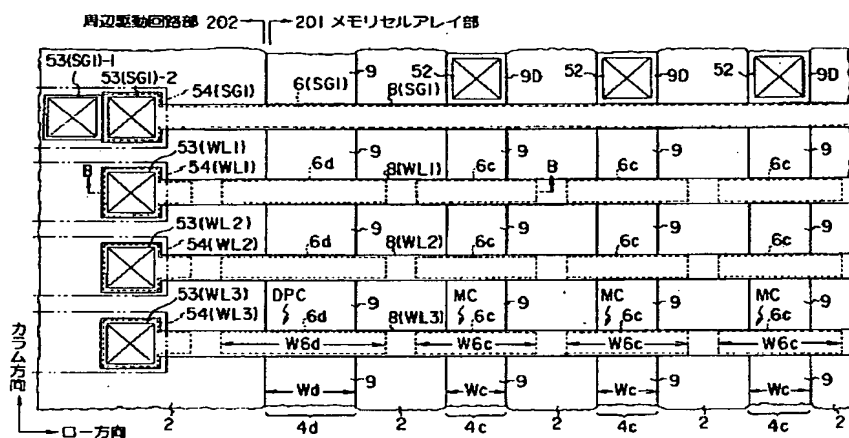
【図26】図26はEEPROMの断面図。

【図27】図27はEEPROMの断面図。

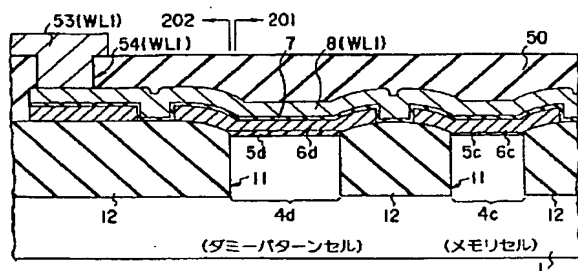
【符号の説明】

- 1…P型シリコン基板、  
 2…LOCOS型素子分離領域、  
 4d、4c…活性領域、  
 5d…ゲート絶縁膜（第1ゲート絶縁膜）、  
 5c…トンネル絶縁膜（第1ゲート絶縁膜）、  
 5h…ゲート絶縁膜（第1ゲート絶縁膜）、  
 6…第1ゲート、  
 6d、6c…浮遊ゲート  
 7…第2ゲート絶縁膜、  
 8…第2ゲート、  
 8(WL)…ワード線、  
 9…N型拡散層、  
 11…トレンチ、  
 12…トレンチ型素子分離領域、  
 12(STI)…自己整合トレンチ型素子分離領域、  
 62、63、64…スリット。

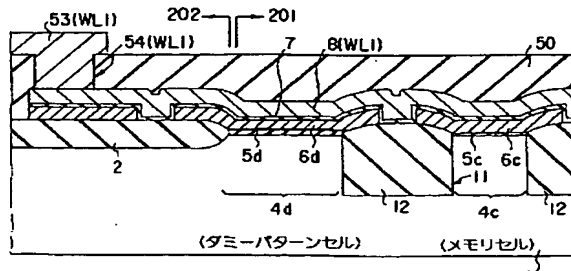
【図1】



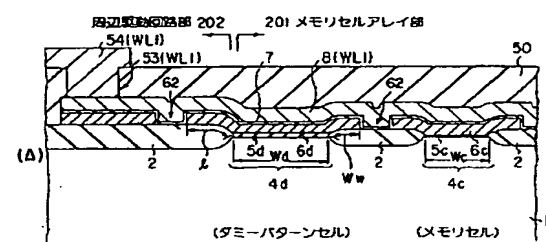
【図3】



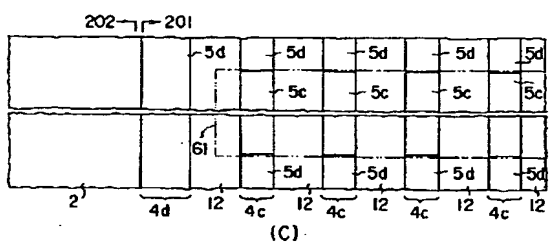
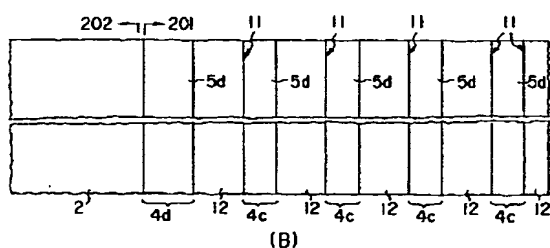
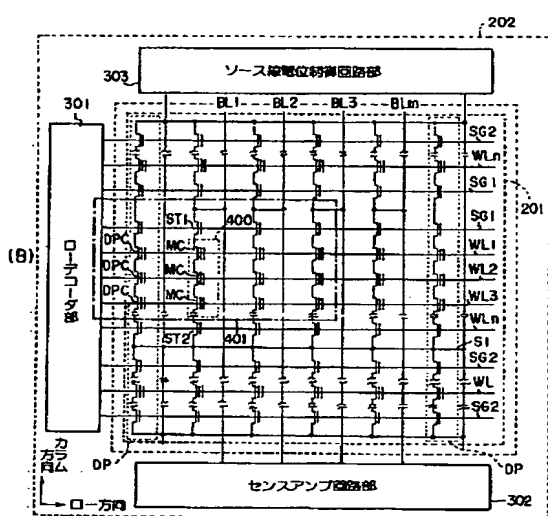
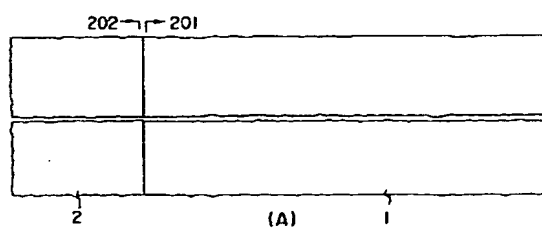
【図4】



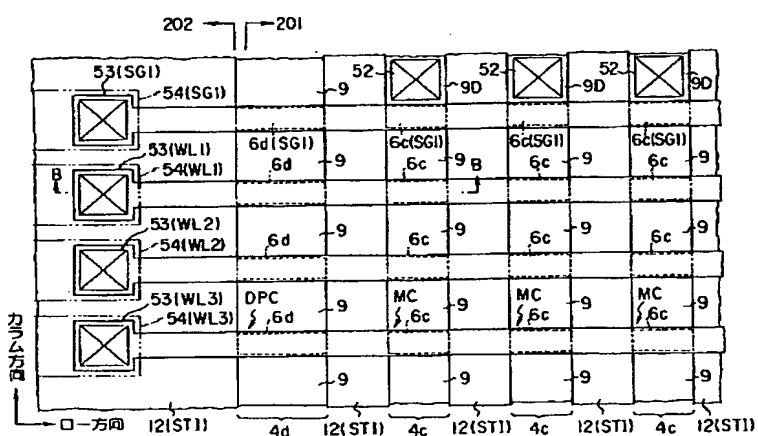
【図 2】



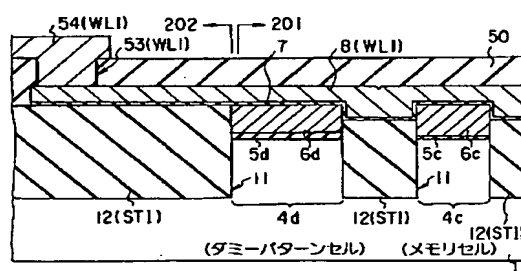
【图 5】



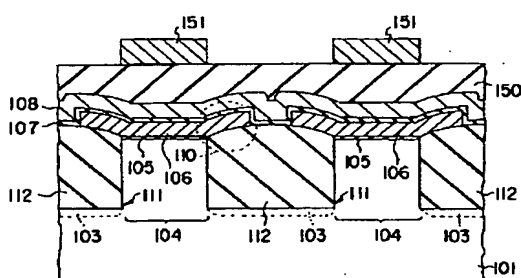
【图 7】



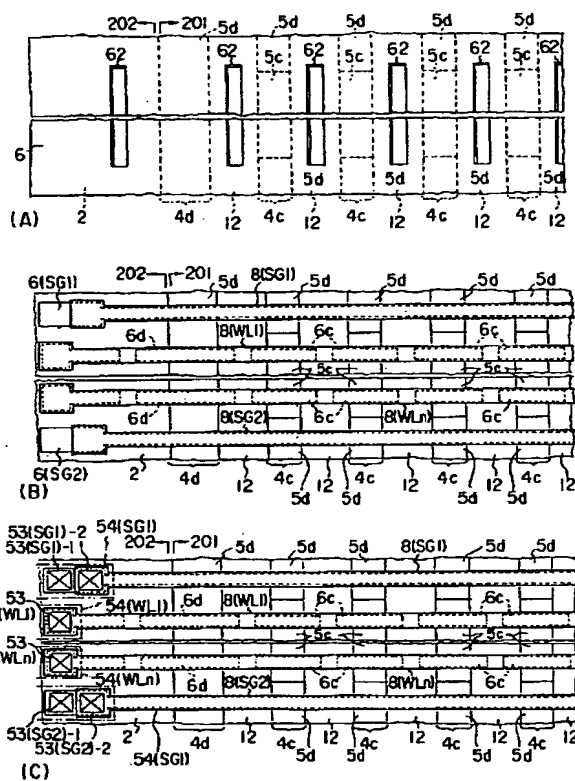
【图8】



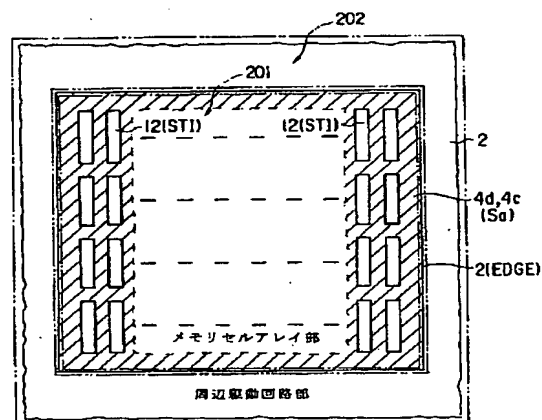
【图 18】



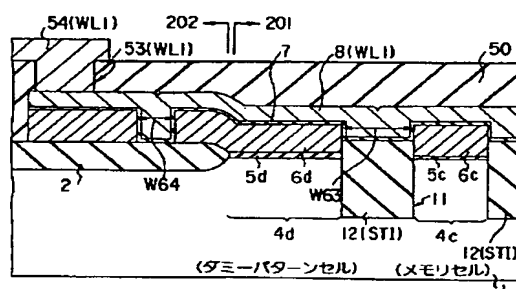
【図 6】



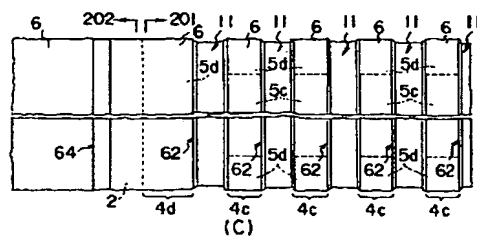
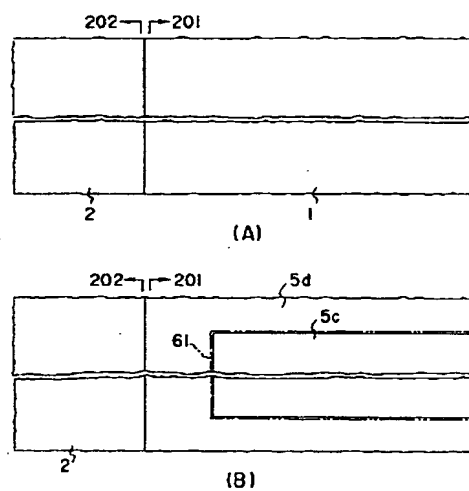
【図 13】



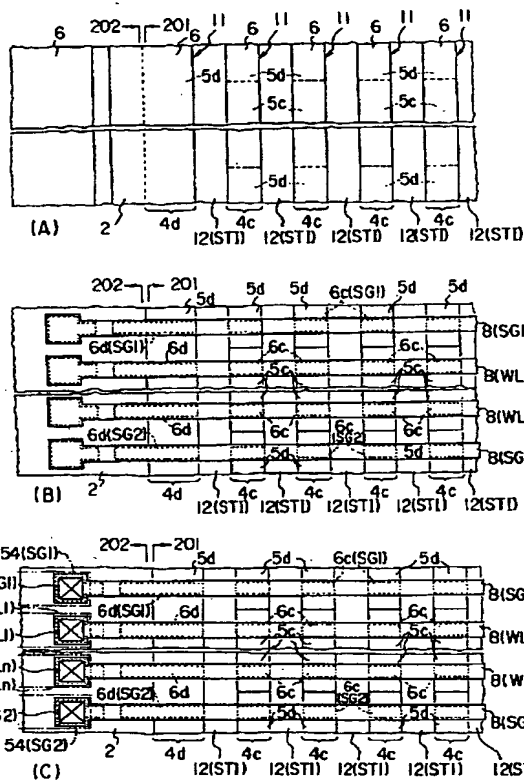
【図 9】



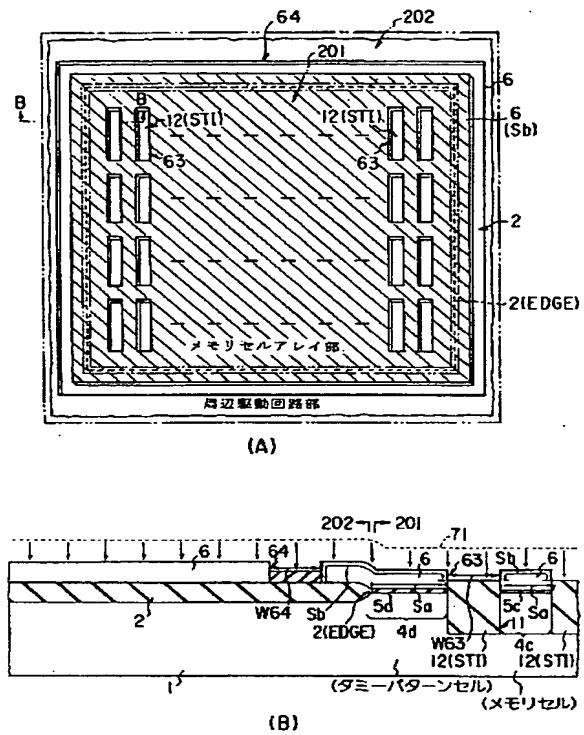
【図 10】



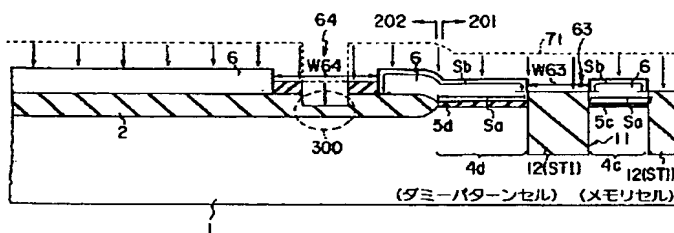
【図 1 1】



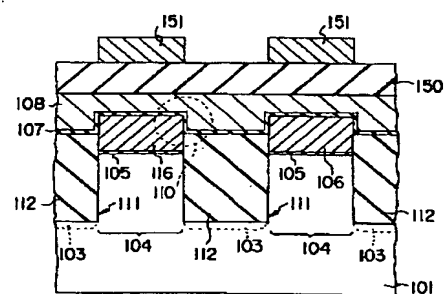
【图 1 2】



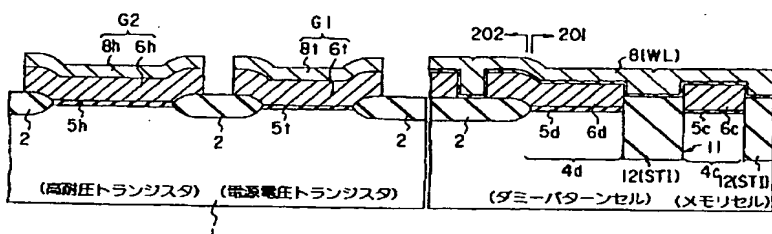
【図 15】



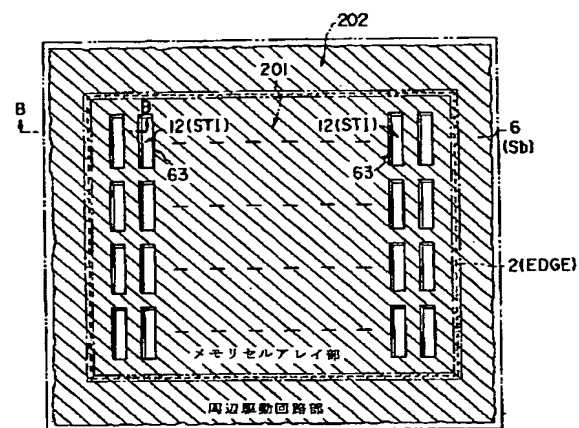
【图 19】



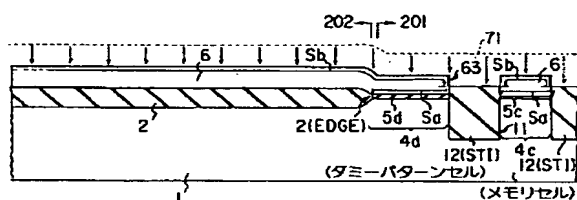
【图 16】



【図14】

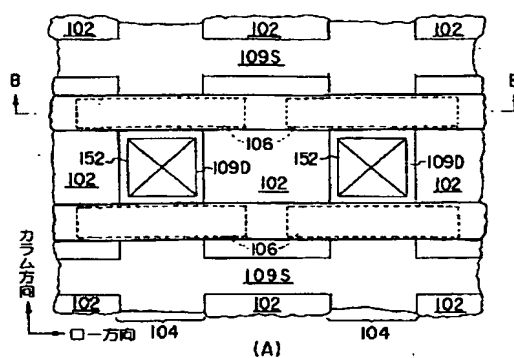


(A)

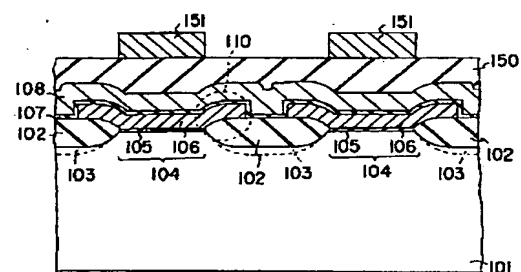


(B)

【図17】

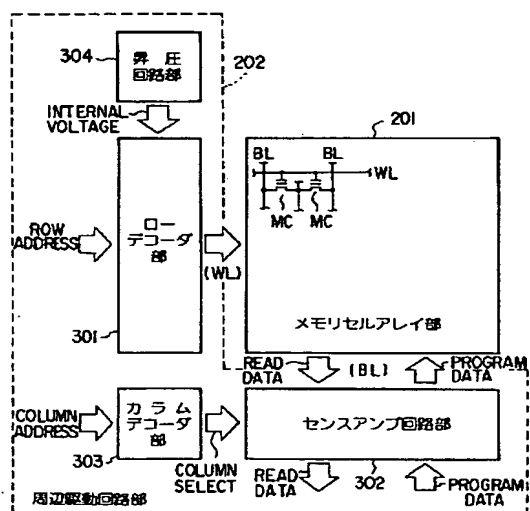


(A)

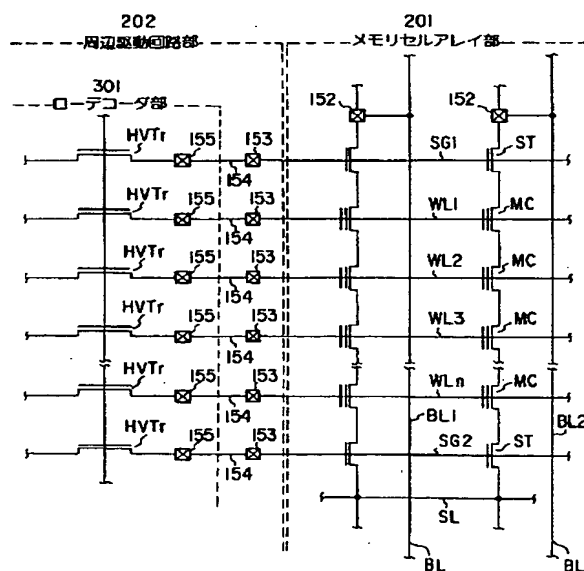


(B)

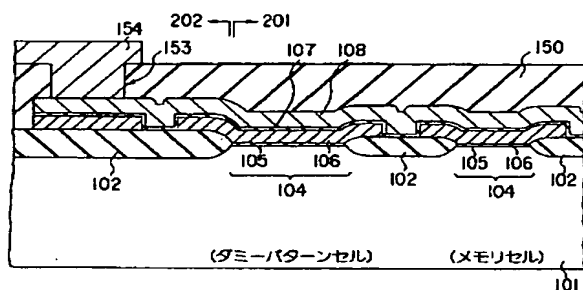
【図20】



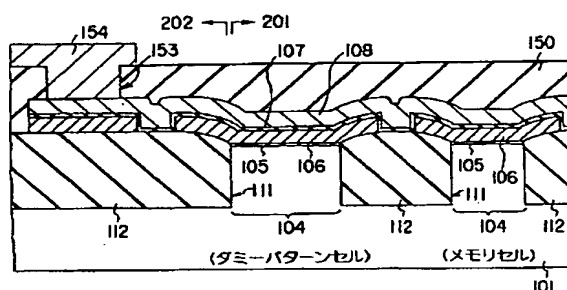
【図21】



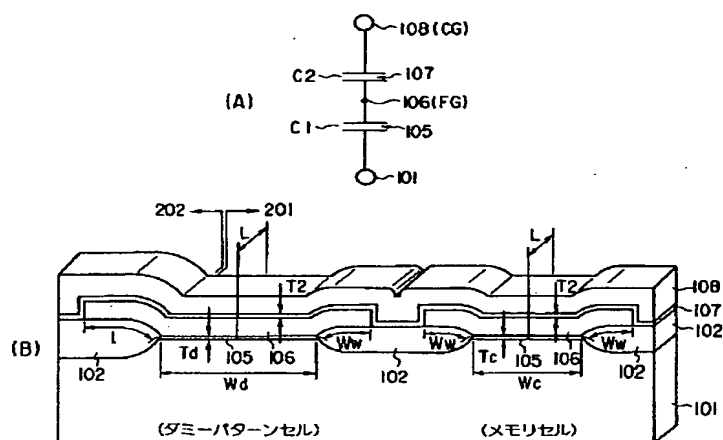
【図 2 2】



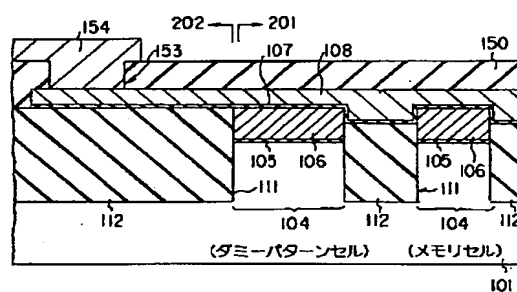
【図 2 4】



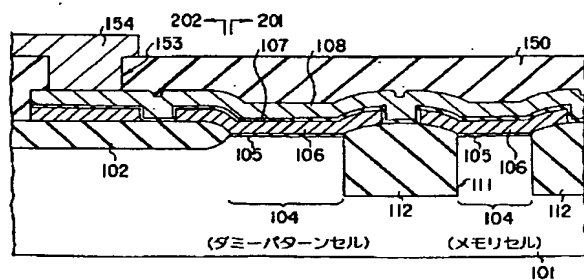
【図 2 3】



【図 2 6】



【図 2 5】



【図 2 7】

